**Технология схем на кристалле**

**Система на кристалле**, **однокристальная система** — в микроэлектронике — электронная схема, выполняющая функции целого устройства (например, компьютера) и размещенная на одной интегральной схеме.

В зависимости от назначения она может оперировать как цифровыми сигналами, так и аналоговыми, аналого-цифровыми, а также частотами радиодиапазона. Как правило, применяются в портативных и встраиваемых системах.

содержит:

* один или несколько микроконтроллеров, микропроцессоров или ядер цифровой обработки сигналов (DSP). SoC, содержащий несколько процессоров, называют *многопроцессорной системой на кристалле* (MPSoC).
* банк памяти, состоящий из модулей ПЗУ, ОЗУ, ППЗУ или флеш.
* источники опорной частоты, например, кварцевые резонаторы и схемы ФАПЧ (фазовой автоподстройки частоты),
* таймеры, счётчики, цепи задержки после включения,
* блоки, реализующие стандартные интерфейсы для подключения внешних устройств: USB, FireWire, Ethernet, USART, SPI.
* блоки цифро-аналоговых и аналого-цифровых преобразователей.
* регуляторы напряжения и стабилизаторы питания.

В программируемые SOC часто входят также блоки программируемых логических матриц — ПЛМ; а в программируемые аналого-цифровые SOC — еще и программируемые аналоговые блоки.

**Структура и устройство ПЛИС**

**Программируемая логическая интегральная схема** (**ПЛИС**, англ. ***p****rogrammable* ***l****ogic* ***d****evice*, *PLD*) — электронный компонент, используемый для создания цифровых интегральных схем. В отличие от обычных цифровых микросхем, логика работы ПЛИС не определяется при изготовлении, а задаётся посредством программирования (проектирования). Для программирования используются программатор и IDE (отладочная среда), позволяющие задать желаемую структуру цифрового устройства в виде принципиальной электрической схемы или программы на специальных языках описания аппаратуры: Verilog, VHDL, AHDL и др.

**Архитектура ПЛИС фирмы Xilinx**

ПЛИС семейства Spartan-IIE могут применяться в системах с тактовыми частотами до 200 МГц, поддерживают 19 стандартов ввода/вывода, среди которых 3 дифференциальных стандарта (LVDS, BLVDS и LVPECL), содержат 4 модуля управления синхронизацией. Семейство содержит 5 микросхем, отличающихся логической ╦мкостью, в свою очередь, каждая микросхема выпускается в нескольких корпусах.

Кристаллы семейства Spartan-IIE производятся на основе статического ОЗУ (Static Random Access Memory - SRAM), поэтому функционирование кристаллов определяется загружаемыми во внутренние ячейки памяти конфигурационными данными. Конфигурационные данные могут загружаться в кристалл несколькими способами. В ведущем последовательном режиме (Master Serial) загрузка осуществляется из внешнего ПЗУ и полностью управляется самой FPGA Spartan-IIE. В других режимах управление загрузкой осуществляется внешними устройствами (подчин╦нный параллельный режим Slave Parallel, подчин╦нный последовательный Slave Serial и JTAG).

Для хранения конфигурационной последовательности компанией Xilinx выпускаются однократно программируемые последовательные ПЗУ серии XC17S00A и многократно перепрограммируемые непосредственно в устройстве параллельные/последовательные ПЗУ серии XC18V00.

Архитектура кристалла семейства Spartan-IIE основана на архитектуре семейства Virtex-E и состоит из пяти основных конфигурируемых элементов:

* блоков ввода/вывода (БВВ), осуществляющих соединение внутренней логики кристалла с выводами корпуса микросхемы;
* конфигурируемых логических блоков (КЛБ), реализующих логические и регистровые функции;
* блочной памяти, каждый блок по 4096 бит;
* модулей управления синхронизацией (DLL);
* трассировочных ресурсов, осуществляющих соединение перечисленных выше элементов.

**Топология ПЛИС**

 На площади кристалла ПЛИС размещены матрица конфигурируемых логических блоков (КЛБ или CLB), матрица отрезков линий межсоединений, покрытых матрицами из полевых транзисторов - перемычек. По краям кристалла размешены блоки настраиваемых ОЗУ - BlockRAM. По периметру кристалла размещены блоки ввода-вывода сигналов (IOBs), а также периферийный канал линий межсоединений, называемый Versaring, предназначеный для соединения КЛБ с произвольным IOB линией связи с малой задержкой.

